

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10065709 A**(43) Date of publication of application: **06 . 03 . 98**

(51) Int. Cl.

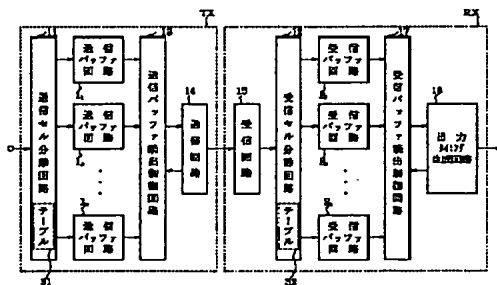
H04L 12/28
H04Q 3/00
(21) Application number: **09114735**(22) Date of filing: **02 . 05 . 97**(30) Priority: **29 . 05 . 96 JP 08135388**(71) Applicant: **NIPPON TELEGR & TELEPH
CORP <NTT>**
(72) Inventor: **UMEHIRA MASAHIRO**
SATOU KIYOSHI
SUGIYAMA TAKATOSHI
OTA ATSUSHI
SAGAWA YUICHI
(54) **ATM CELL TRANSMITTING DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a FIFO memory with a capacitance satisfying the whole quality classes without providing the FIFO memories at every virtual channel and also to prevent a hardware quantity from being vast by providing quality classes in accordance with transmission delay permission quantity in ATM.

SOLUTION: Cells are classified by quality class and stored in buffers $1_{n \sim n}$ and $2_{1 \sim n}$. The cells are read out of the buffer of the quality class with high priority and shift is successively executed to the low-order ones. Otherwise a cell of the low-order class is inserted between the cells when there is a room in the transmission schedule of the cells in the high quality class with high priority. Thus, cell transmission which satisfies request quality as against transmission delay is executed with a small hardware quantity.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10-65709

(43) 公開日 平成10年(1998)3月6日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9744-5 K	H 0 4 L 11/20	G
H 0 4 Q 3/00			H 0 4 Q 3/00	
			H 0 4 L 11/00	3 1 0 B

審査請求 未請求 請求項の数 7

O L

(全 16 頁)

(21) 出願番号 特願平9-114735

(22) 出願日 平成9年(1997)5月2日

(31) 優先権主張番号 特願平8-135388

(32) 優先日 平8(1996)5月29日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 梅比良 正弘

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(72) 発明者 佐藤 嬉珍

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(72) 発明者 杉山 隆利

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(74) 代理人 弁理士 井出 直孝 (外1名)

最終頁に続く

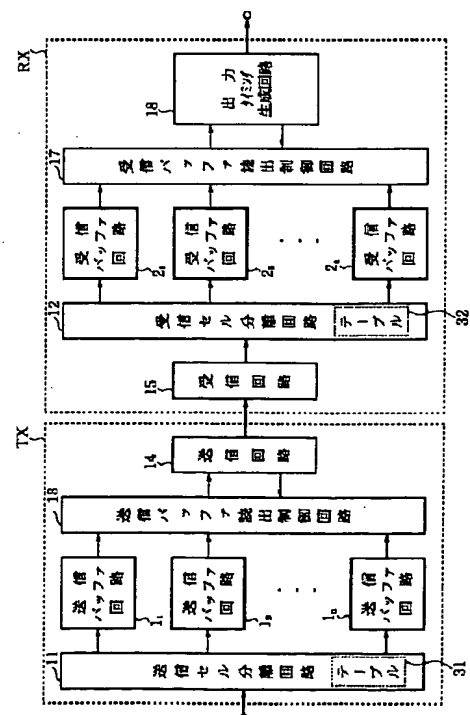
(54) 【発明の名称】 ATMセル伝送装置

(57) 【要約】

【課題】 ATMでは伝送遅延許容量に応じて品質クラスが設けられている。バーチャルチャネル毎にFIFOメモリを設ける従来技術では、すべての品質クラスを満足する容量のFIFOメモリを設けることが必要であり、ハードウェア量が膨大なものになってしまう。

【解決手段】 品質クラス毎にセルを分類し、バッファに蓄積する。優先度の高い品質クラスのバッファからセルを読み出し、順次、下位に移行する。あるいは、優先度の高い品質クラスのセルの送出スケジュールに余裕があれば、そのセル間に下位の品質クラスのセルを挿入する。

【効果】 少ないハードウェア量で、伝送遅延に対する要求品質を満たすセル伝送を行うことができる。



【特許請求の範囲】

【請求項 1】 セルを送信する送信部 (TX) と、セルを受信する受信部 (RX) とを備え、前記セルには要求される伝送品質により区別される品質クラスの異なる複数種類のセルを含む ATM セル伝送装置において、前記送信部は、前記品質クラスにしたがって送信セルを振り分ける送信セル分離回路 (11) と、この送信セル分離回路により振り分けられたセルをそれぞれ区別して蓄積する送信バッファ回路 (1) と、この送信バッファ回路に蓄積されたセルを前記品質クラスにより決定される優先順位の高いものから読出す送信バッファ読出制御回路 (13) とを備え、前記受信部は、受信セルを一時蓄積する受信バッファ回路 (2) と、この受信バッファ回路から前記優先順位の高いものから優先的に読出す受信バッファ読出制御回路 (17) とを備えたことを特徴とする ATM セル伝送装置。

【請求項 2】 前記受信部は、前記品質クラスにしたがって受信セルを振り分ける受信セル分離回路 (12) を備え、前記受信バッファ回路 (2) は、この受信セル分離回路により振り分けられたセルをそれぞれ区別して蓄積する構成である請求項 1 記載の ATM セル伝送装置。

【請求項 3】 前記品質クラスは VPI およびまたは VCI 毎に異なる値が設定され、前記送信セル分離回路 (11) およびまたは前記受信セル分離回路 (12) には、この値にしたがって品質クラスの区分を記録したテーブル (31、32) と、このテーブルを参照して到来セルの振り分けを行う手段とを含む請求項 2 記載の ATM セル伝送装置。

【請求項 4】 前記品質クラスは VPI およびまたは VCI 毎に異なる値が設定され、前記送信セル分離回路 (11) には、この値にしたがって品質クラスの区分を記録したテーブル (31) と、このテーブルを参照して到来セルの振り分けを行う手段と、振り分けられたセルに品質クラスを表示する識別子を付加する手段とを含み、前記受信セル分離回路 (12) は受信セルの前記識別子にしたがって到来セルの振り分けを行う手段を含む請求項 2 記載の ATM セル伝送装置。

【請求項 5】 前記送信部には、時計と、この時計にしたがって到来セルの到着時刻をそのセルにタイムスタンプとして付加するタイムスタンプ付加回路とを備え、前記受信部には、前記送信部の時計と同一の時刻情報を生成する時計を備え、前記受信バッファ回路に蓄積されたセルからタイムスタンプを検出するタイムスタンプ検出回路 21 を備え、前記受信バッファ読出制御回路は、前記受信部の時計を基準としてこのタイムスタンプにしたがって前記受信バッファ回路に蓄積されたセルを読出す手段を備えた請求項 1 ないし 4 のいずれかに記載の ATM セル伝送装置。

【請求項 6】 前記受信部には、時計と、前記受信バッ

ファ回路に蓄積されたセルからタイムスタンプを検出するタイムスタンプ検出回路 (21) とを備え、前記受信バッファ読出制御回路はこの時計を基準としてこのタイムスタンプにしたがって前記受信バッファ回路に蓄積されたセルを読出す手段を備え、

前記送信部には、前記受信部の時計と同一の時刻情報を生成する時計と、この時計にしたがって到来セルの到着時刻をそのセルにタイムスタンプとして付加するタイムスタンプ付加回路とを備えた請求項 1 ないし 4 のいずれかに記載の ATM セル伝送装置。

【請求項 7】 複数の前記送信部を備え、前記受信セル分離回路には、前記品質クラスおよび前記送信部毎にセルを振り分ける手段を含み、前記受信バッファ回路には、この振り分けられたセルをそれぞれ区別して蓄積する手段を含み、前記受信バッファ読出制御回路には、前記送信部には関係なく前記品質クラスにより決定される優先順位の高いものから優先的に読出す手段を含む請求項 6 記載の ATM セル伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は ATM (Asynchronous Transfer Mode: 非同期転送モード) 通信に利用する。本発明は無線信号によるセル伝送に利用するに適する。本発明はセルの伝送遅延および遅延ゆらぎを緩和する技術に関する。本発明は無線通信に利用するために開発されたものであるが、有線通信その他の一般の通信システムにも広く適用することができる。

【0002】 本明細書では、遅延ゆらぎとは、送信端から受信端までの伝送遅延時間およびこの伝送遅延時間の変動を含む時間として定義する。

【0003】

【従来の技術】 近年、無線通信の移動性に着目して、無線システムにより ATM 伝送を行い、光ファイバを中心とする有線系の ATM システムと統合して、シームレスなマルチメディアサービスを提供する移動通信サービスの実現を目的とするワイヤレス ATM が注目されている。無線通信システムでは有限な周波数資源を有効に利用するため、入力されるセルのうち、情報を含んでいるセルのみを抽出し、有意情報を持つセルのみを無線により伝送することが有効である。

【0004】 一つの端末は一般に複数のコネクションを持っており、コネクション毎に要求される伝送品質特性、すなわち QOS (Quality Of Services) が異なる。一般的には、CBR (Constant Bit Rate) や VBR (Variable Bit Rate) については遅延ゆらぎに対して厳しい特性が要求され、ABR (Available Bit Rate) や UBR (Unspecified Bit Rate) についてはセル廃棄に対して厳しい特性が要求され、また、セルレートが時間に応じて動的に変動する場合が多い。

【0005】 図 12 は帯域またはタイムスロットの割当

を説明するための図であり、横軸に時間を取り、縦軸にセルレートをとる。一般に、ATMにおいては、コネクション毎に、伝送速度（セル数/秒）のピーク値（ピークセルレート）と平均値（平均セルレート）が申告される。ピーク値と平均値が異なる場合は、伝送速度が変動することを意味している。遅延ゆらぎについても同様にコネクション毎に許容される遅延ゆらぎ量（秒）が申告される。したがって、これらの要求品質毎に品質クラスを設けて、品質クラス毎に帯域またはタイムスロットの割当を行う必要がある。

【0006】しかし、あまり多くの品質クラスを設けると網内の品質制御が複雑になるため、例えば、遅延ゆらぎについては、3ms以下の遅延ゆらぎが要求されるクラスと、遅延ゆらぎに対して要求値のないクラスの二つに分類することが現在検討されている。一般に、遅延ゆらぎに対して要求値のない品質クラスのコネクションでは伝送速度も変動する。

【0007】ここでは、遅延ゆらぎの品質クラスの数 $N=2$ の場合について説明する。品質クラスは遅延ゆらぎについて高品質が要求される品質クラス1と、遅延ゆらぎについて品質要求のない品質クラス2の二つとする。品質クラス1の各コネクションについて申告された最大セルレート（セル数/秒）の合計値を R_1 、品質クラス2の各コネクションについて申告された平均セルレートの合計値を R_2 、品質クラス2の各コネクションについて申告された最大セルレートの合計値を R_3 とすると、 $R_2 \leq R_4 \leq R_3$ なるセルレート R_4 と R_1 との和に相当する伝送速度に対応したタイムスロットまたは伝送帯域を割り当てる。 $R_4 = R_3$ とし $R_1 + R_4$ の帯域を割り当てた場合には、品質クラスによらず、遅延ゆらぎの小さなATMセルの伝達が可能であるが、多くの帯域またはタイムスロットが必要になる。一方、 $R_4 = R_2$ とし $R_1 + R_4$ の帯域を割り当てた場合には、伝送システムにおけるタイムスロットまたは帯域の有効利用が可能となり、無線通信システムにおいては有限な周波数スペクトラムの有効利用が可能となる。しかし、品質クラス2のコネクションにおいて伝送速度の変動が発生すると品質クラス1のコネクションについても遅延ゆらぎが発生し、品質が劣化する。

【0008】図13は、従来例の入力セルと出力セルの関係を示す図である。図13では時間 T 毎に15個のタイムスロットが設けられ、品質クラス1および品質クラス2のセルが混在している。また、入力と出力の中間の伝送路のタイムスロットは時間 T 毎に6個である。品質クラス2のセルが少ないときには、品質クラス1のセルは遅延なく出力される。ところが、品質クラス2のセルが急激に増加すると、品質クラス1のセルの送信タイミングに品質クラス2のセルが割り込み、遅延が発生する。図13の例では、品質クラス1および2は平均セルレートを3セル/ T としている。

【0009】従来例装置のブロック構成を図14に示す。図14において、送信部 TX は、入力されたセルから空セルを除去し有意な情報を持つセルを抽出するセル抽出回路91と、抽出されたセルのセルレートの変動を吸収するための抽出されたセルが蓄積される送信バッファ回路92と、送信回路93から構成され、入力セルから抽出された有意な情報を持つセルのみが一定速度で送信される。この有意な情報を持つセルの識別は、セルのヘッダに含まれるコネクション識別子である VPI (Virtual Path Identifier: 仮想パス識別子) およびまたは $VC I$ (Virtual Channel Identifier: 仮想チャネル識別子) を空セルを示す固定の VPI およびまたは $VC I$ と比較し、不一致であることを検出することにより行われる。

【0010】受信部 RX では、受信回路94において受信されたセルを各コネクションの伝送速度に応じて出力する。最も簡単な方法としては、各コネクション毎、すなわち VPI およびまたは $VC I$ 毎に $FIFO$ (First-In-First-Out) メモリ96₁ ~ 96_nを具備し、これを各コネクションの平均速度に応じて読出しを行うリキーバケット方式がある。この $FIFO$ 読出制御方法としては、各 $FIFO$ メモリ96₁ ~ 96_nに順番にアクセスして、読出すべきセルがあれば出力し、なければ順次、次の $FIFO$ メモリの読出しを行う方法、いわゆるラウンドロビン方式と呼ばれる方法などがある。ラウンドロビン方式の場合の受信部 RX は、受信回路94において受信されたセルを VPI およびまたは $VC I$ に応じてコネクション毎に分離するセル分離回路95と、このセル分離回路95に接続される n 個の $FIFO$ メモリ96₁ ~ 96_nと、この $FIFO$ メモリ96₁ ~ 96_nの読出制御を行う $FIFO$ 読出制御回路97とから構成される。 $FIFO$ 読出制御回路97のセル読出速度は、端末または網とのインタフェース速度に依存し、送受信部間の伝送速度はインタフェース速度と同じか、これより低くなる。

【0011】

【発明が解決しようとする課題】従来技術では、受信側に、コネクション毎に個別の $FIFO$ メモリが必要であり、個別の $FIFO$ メモリは1コネクションに許容される最大伝送速度に対応した容量を持つ必要がある。このため受信側において、非常に大きな容量の $FIFO$ メモリが必要となり、ハードウェア量の増大を招く。

【0012】また、ハードウェア量を軽減するにはコネクション毎に $FIFO$ メモリを持たず、共通のメモリを配置しておき、当該メモリのアドレス制御により実現する方法が考えられるが、メモリのアドレス制御が極めて複雑になり、実現が困難になる。さらに、これらの方法では、遅延ゆらぎに対する要求品質特性の厳しいコネクションのメモリより先に、遅延ゆらぎに対する要求品質のないコネクションのメモリの読出しが行われる場合が

あるため、遅延ゆらぎに対する要求品質特性の厳しいコネクションの遅延ゆらぎが増大する場合がある。

【0013】これは、遅延ゆらぎに対する要求品質特性のないコネクションのセルレートは変動する場合が多いため、図12に示した平均セルレートR2より大きなセルレートが入力されると、遅延ゆらぎに対する要求品質特性の厳しいコネクションのセルの送信が遅れることになり、このために遅延ゆらぎを増大させることになる。これは、受信部のバッファ容量を増大させ、平均伝送遅延を大きくすれば改善できるが、FIFOメモリの所要バッファ容量がさらに大きくなる。

【0014】本発明は、このような背景に行われたものであって、簡易で規模の小さいハードウェアにより遅延ゆらぎに対する要求品質特性を満たすことができるATMセル伝送装置を提供することを目的とする。本発明は、無線周波数のスペクトラムの有効利用を図ることができるATMセル伝送装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明は、送信部および受信部の双方で、入力されたセルを遅延ゆらぎに対する許容時間による品質クラス毎に分離することを第一の特徴とする。本発明の第二の特徴は、その品質クラス毎に分離されたセルの出力制御であって、例えば、要求品質特性の厳しい品質クラスのセルから出力を行い、順次、要求品質特性の緩い品質クラスのセルの出力に移行するように制御したり、あるいは、要求品質特性の厳しい品質クラスのセルとセルとの隙間に要求品質特性の緩い品質クラスのセルを埋め込んで送出するように制御する。

【0016】このように、要求される品質に応じて優先度の高い順に分類され、蓄積されていることを利用した様々な制御方法が考えられる。例えば、遅延ゆらぎについて要求される品質が高い順に、品質クラス1～NのN個のクラスにセルを分離して蓄積する。蓄積されたセルを1からNの順に優先して読出しセルを送信する。これにより、遅延ゆらぎについて要求される品質が高い品質クラスのセルから順に送信されていくことになる。

【0017】すなわち、本発明はATMセル伝送装置であって、セルを送信する送信部(TX)と、セルを受信する受信部(RX)とを備え、前記セルには要求される伝送品質により区別される品質クラスの異なる複数種類のセルを含むATMセル伝送装置である。本発明の特徴とするところは、前記送信部は、前記品質クラスにしたがって送信セルを振り分ける送信セル分離回路(11)と、この送信セル分離回路により振り分けられたセルをそれぞれ区別して蓄積する送信バッファ回路(1)と、この送信バッファ回路に蓄積されたセルを前記品質クラスにより決定される優先順位の高いものから読出す送信

バッファ読出制御回路(13)とを備え、前記受信部は、受信セルを一時蓄積する受信バッファ回路(2)と、この受信バッファ回路から前記優先順位の高いものから優先的に読出す受信バッファ読出制御回路(17)とを備えたところにある。

【0018】さらに、前記受信部は、前記品質クラスにしたがって受信セルを振り分ける受信セル分離回路(12)を備え、前記受信バッファ回路(2)は、この受信セル分離回路により振り分けられたセルをそれぞれ区別して蓄積する構成であることが望ましい。

【0019】このように、セルをその品質クラス毎に分離することにより、品質クラス毎に適当なセル出力制御を行うことができるようになる。

【0020】前記品質クラスはVPIおよびまたはVCI毎に異なる値が設定され、前記送信セル分離回路(11)およびまたは前記受信セル分離回路(12)には、この値にしたがって品質クラスの区分を記録したテーブル(31、32)と、このテーブルを参照して到来セルの振り分けを行う手段とを含むことが望ましい。

【0021】VPIおよびまたはVCI毎に定められる品質クラスは、通信の接続設定時に上位レイヤにおいて定められる。

【0022】また、前記品質クラスはVPIおよびまたはVCI毎に異なる値が設定され、前記送信セル分離回路(11)には、この値にしたがって品質クラスの区分を記録したテーブル(31)と、このテーブルを参照して到来セルの振り分けを行う手段と、振り分けられたセルに品質クラスを表示する識別子を付加する手段とを含み、前記受信セル分離回路(12)は受信セルの前記識別子にしたがって到来セルの振り分けを行う手段を含む構成とすることもできる。

【0023】これにより、受信部についてはテーブルを設けることなく、セルの品質クラスを区分することができる。

【0024】前記送信部には、時計と、この時計にしたがって到来セルの到着時刻をそのセルにタイムスタンプとして付加するタイムスタンプ付加回路とを備え、前記受信部には、前記送信部の時計と同一の時刻情報を生成する時計を備え、前記受信バッファ回路に蓄積されたセルからタイムスタンプを検出するタイムスタンプ検出回路を備え、前記受信バッファ読出制御回路は、前記受信部の時計を基準としてこのタイムスタンプにしたがって前記受信バッファ回路に蓄積されたセルを読出す手段を備えた構成とすることもできる。

【0025】あるいは、前記受信部には、時計と、前記受信バッファ回路に蓄積されたセルからタイムスタンプを検出するタイムスタンプ検出回路とを備え、前記受信バッファ読出制御回路は前記受信部の時計を基準としてこのタイムスタンプにしたがって前記受信バッファ回路に蓄積されたセルを読出す手段を備え、前記送信部に

10

20

30

40

50

は、前記受信部の時計と同一の時刻情報を生成する時計と、この時計にしたがって到来セルの到着時刻をそのセルにタイムスタンプとして付加するタイムスタンプ付加回路とを備えた構成とすることもできる。

【0026】このように、タイムスタンプによってセル送出を管理することにより、遅延ゆらぎを少なくすることができる。また、受信部と送信部が同じ時計を用いてタイムスタンプ付加とタイムスタンプ検出を行うため、時計がずれることにより発生するセル順序の逆転を抑制できる。

【0027】さらに、複数の前記送信部を備え、前記受信セル分離回路には、前記品質クラスおよび前記送信部毎にセルを振り分ける手段を含み、前記受信バッファ回路には、この振り分けられたセルをそれぞれ区別して蓄積する手段を含み、前記受信バッファ読出制御回路には、前記送信部には関係なく前記品質クラスにより決定される優先順位の高いものから優先的に読出す手段を含む構成とすることもできる。この場合には、複数の送信部は受信部が管理する時計と同一の時計を用いるため、受信部は1つの時計を管理するだけで複数の送信部からのセルを多重できる。

【0028】

【発明の実施の形態】

【0029】

【実施例】

（第一実施例）本発明第一実施例の構成を図1を参照して説明する。図1は本発明第一実施例装置のブロック構成図である。

【0030】本発明はATMセル伝送装置であって、セルを送信する送信部TXと、セルを受信する受信部RXとを備え、前記セルには要求される伝送品質により区別される品質クラスの異なる複数種類のセルを含むATMセル無線伝送装置である。本発明第一ないし第四実施例では送信部TXと受信部RX間は無線回線として説明を行う。ただし、この無線回線を有線回線としても、途中にネットワークが入っても、同様に実施することができる。

【0031】ここで、本発明の特徴とするところは、送信部TXは、前記品質クラスにしたがって送信セルを振り分ける送信セル分離回路11と、この送信セル分離回路11により振り分けられたセルをそれぞれ区別して蓄積する送信バッファ回路1₁～1_nと、この送信バッファ回路1₁～1_nに蓄積されたセルを前記品質クラスにより決定される優先順位の高いものから読出す送信バッファ読出制御回路13とを備え、受信部RXは、受信セルを一時蓄積する受信バッファ回路2₁～2_nと、この受信バッファ回路2₁～2_nから前記優先順位の高いものから優先的に読出す受信バッファ読出制御回路17とを備えたところにある。

【0032】さらに、受信部RXは、前記品質クラスに

したがって受信セルを振り分ける受信セル分離回路12を備え、受信バッファ回路2₁～2_nは、この受信セル分離回路12により振り分けられたセルをそれぞれ区別して蓄積する構成である。

【0033】前記品質クラスはVPIおよびまたはVCI毎に異なる値が設定され、送信セル分離回路11およびまたは受信セル分離回路12には、この値にしたがって品質クラスの区分を記録したテーブル31および32を備え、送信セル分離回路11およびまたは受信セル分離回路12は、このテーブル31および32を参照して到来セルの振り分けを行う。

【0034】次に、本発明第一実施例の動作を説明する。送信セル分離回路11では、入力セル流から抽出されたセルから、セルのヘッダに含まれるコネクション識別子であるVPIおよびまたはVCIを検出し、空セルを示す固定のVPIおよびまたはVCIを持つセルを除去する。また、VPIおよびまたはVCIと、申告された品質クラス1～nの対応により、セルの品質クラスを判定し、品質クラス1～nに応じた送信バッファ回路1₁～1_nにセルを入力する。これにより、品質クラス毎に分類されたセルが、送信バッファ回路1₁～1_nに蓄積される。送信セル分離回路11には、空セルを検出し、有意情報を含むセルを各品質クラス毎に分類するためのVPIおよびまたはVCI情報を記憶するテーブル31を備えている。

【0035】送信回路14から送信バッファ読出制御回路13へは、無線回線についてあらかじめ定められているセルの送信タイミングが送られる。送信バッファ読出制御回路13はこの送信タイミングにしたがって、n個の送信バッファ回路1₁～1_nのうち、いずれを読出すかを制御する。具体的には、送信バッファ回路1₁に送信すべきセルがあるかどうかを検索し、セルがあればこれを読出す。なければ、次の優先順位を持つ送信バッファ回路1₂に送信すべきセルがあるかどうかを検索し、セルがあればこれを読出す。これを順次繰り返す。最後の優先順位を持つ送信バッファ回路1_nにも送信すべきセルがない場合には、ダミーセルを送出する。ダミーセルは空セルと同じビットパターンを用いることができる。読出されたセルは送信回路14に送られ無線回線に送信される。これにより、品質クラス1～nの順に、送信部TXにおけるセルの滞留は発生しにくくなる。

【0036】受信セル分離回路12では、受信回路15にて受信されたセルから、セルのヘッダに含まれるVPIおよびまたはVCIを検出し、ダミーセルを示す固定のVPIおよびまたはVCIを持つセルを除去する。また、VPIおよびまたはVCIと、申告された品質クラス1～nの対応により、セルの品質クラスを判定し、品質クラス1～nに応じた受信バッファ回路2₁～2_nにセルを入力する。受信セル分離回路12には、ダミーセルを検出し、有意情報を含むセルを各品質クラス毎に分

類するためのVPIおよびまたはVCI情報を記憶するテーブル32を備えている。

【0037】出力タイミング生成回路18から受信バッファ読出制御回路17へは、後段に続く端末または網についてあらかじめ定められているセルの送出タイミングが送られる。受信バッファ読出制御回路17はこの送出タイミングにしたがって、 n 個の受信バッファ回路2₁～2_nのうち、いずれを読出すかを制御する。具体的には、受信バッファ回路2₁に送出すべきセルがあるかどうか検索し、セルがあればこれを読出す。なければ、次の優先順位を持つ受信バッファ回路2₂に送出すべきセルがあるかどうかを検索し、セルがあればこれを読出す。これを順次繰り返し、最後の優先順位を持つ受信バッファ回路2_nにも送出すべきセルがない場合には、空きセルを送出する。読出されたセルは出力タイミング生成回路18に送られ後段に続く端末または網に送出される。これにより、品質クラス1～ n の順に、受信部RXにおけるセルの滞留は発生しにくくなる。

【0038】本発明第一実施例の送信バッファ読出制御回路13および受信バッファ読出制御回路17の動作を図2および図3を参照して説明する。図2は本発明第一実施例の送信バッファ読出制御回路13の動作を示すフローチャートである。図3は本発明第一実施例の受信バッファ読出制御回路17の動作を示すフローチャートである。図2に示すように送信バッファ読出制御回路13は、品質クラス1～ n のセルがそれぞれ蓄積される送信バッファ回路1₁～1_nを送信バッファ回路1₁から1_nの順にセルを読出す。すなわち、送信バッファ回路1₁ ($i=1$)から読出しを開始する(S1)。送信バッファ回路1₁にセルがあれば(S2)、送信バッファ回路1₁からのセルの読出しを行う(S3)。送信バッファ回路1₁が空ならば(S2)、送信バッファ回路1₂ ($i=2$)から読出しを開始する(S4→S5→S2→S3)。送信バッファ回路1_nからの読出しが終了したらダミーセルを挿入する(S6)。これにより、遅延ゆらぎについて要求される品質が高いセルから順に受信部RXへ送信されていくことになる。

【0039】図3に示すように受信バッファ読出制御回路17は、品質クラス1～ n のセルがそれぞれ蓄積される受信バッファ回路2₁～2_nを受信バッファ回路2₁から2_nの順にセルを読出す。すなわち、受信バッファ回路2₁ ($i=1$)から読出しを開始する(S11)。受信バッファ回路2₁にセルがあれば(S12)、受信バッファ回路2₁からのセルの読出しを行う(S13)。受信バッファ回路2₁が空ならば(S12)、受信バッファ回路2₂ ($i=2$)から読出しを開始する(S14→S15→S12→S13)。受信バッファ回路2_nからの読出しが終了したら空セルを挿入する(S16)。これにより、遅延ゆらぎについて要求される品質が高いセルから順に端末または網へ送出されていくこ

とになる。

【0040】図4は、本発明第一実施例の入力セルと出力セルの関係を示す図であるが、入力セルは品質クラス1、品質クラス2、空セルの3種類が存在し、品質クラス1は一定のセルレート、品質クラス2は変動するセルレートとし、品質クラス1と2の平均セルレートは3セル/Tで同一とした。送信セルは6セル/T(秒)である。これからわかるように、図12に示した従来例においては、品質クラス2のセルが瞬間的に増大すると、送信側において、品質クラス1のセルについて長時間の滞留が発生するため、品質クラス1のセルに大きな遅延ゆらぎが発生する。この遅延ゆらぎは図12においてR1≧R2の場合にさらに大きくなる。一方、本発明によれば品質クラス2のセルが瞬間的に増大しても品質クラス1の遅延ゆらぎは一定とすることができる。

【0041】したがって、例えば無線通信システムにおいて、1送信フレーム長がT秒であった場合、品質クラス2以降において送信するセルがどのように変動しようとも、必ず品質クラス1が優先して送信されるため、品質クラス1のセルの遅延ゆらぎはT秒以上は発生しないことになる。

【0042】(第二実施例)本発明第二実施例を図5を参照して説明する。図5は本発明第二実施例装置のブロック構成図である。

【0043】本発明第二実施例装置は、本発明第一実施例装置がテーブル31および32を備えていたのに対し、送信部TXにのみテーブル31を備えている。

【0044】前述した許容時間はVPIおよびまたはVCI毎に異なる基準が設定され、送信セル分離回路11には、この基準にしたがって品質クラスの区分を記録したテーブル31を備え、送信セル分離回路11は、このテーブル31を参照して到来セルの振り分けを行い、振り分けられたセルに品質クラスを表示する識別子を付加し、受信セル分離回路12は受信セルの前記識別子にしたがって到来セルの振り分けを行うようにする。

【0045】このように、セルのヘッダに品質クラスを表示する識別子を付加することによって受信部RXのテーブル32を省略することができる。

【0046】(第三実施例)本発明第三実施例を図6および図7を参照して説明する。図6は本発明第三実施例装置のブロック構成図である。図7は本発明第三実施例の受信バッファ読出制御回路17の動作を示すフローチャートである。本発明第三実施例は、送信部TXに、タイムスタンプ付加回路20および時計22を備え、受信部RXに、タイムスタンプ検出回路21および時刻情報生成回路23を備えたことを特徴とする。ここで、時刻情報生成回路23は、送信部TXの時計22と同一の時刻情報を生成する回路であり、送信部TXの時計22と同期して計時を行う時計により実現することができる。

【0047】タイムスタンプ付加回路20は、送信部T

Xにセルが到着すると、時計22にしたがってセルの到着時刻のタイムスタンプをそのセルに付加する。また、時計22は受信部RXに基準時間を送信する。

【0048】送信バッファ回路1₁～1_nに蓄積されたセルは、本発明第一実施例で説明した同様の手順にしたがって受信部RXに転送され、その受信バッファ回路2₁～2_nに蓄積される。

【0049】受信部RXのタイムスタンプ検出回路21は、受信バッファ回路2₁～2_nに蓄積されたセルに対応するタイムスタンプを検出し、受信バッファ読出制御回路17の読出タイミングを生成する。この読出タイミングは、出力タイミング生成回路18から受信バッファ読出制御回路17に送られる出力タイミングとは異なり、タイムスタンプ検出回路21が検出したタイムスタンプにしたがって生成したセルの読出スケジュールである。

【0050】また、時刻情報生成回路23は、送信部TXから受信される基準時間を基に時刻情報を生成する。出力タイミング生成回路18は、この時刻情報にしたがって出力タイミングを受信バッファ読出制御回路17に送出する。

【0051】出力タイミングをT0とし、タイムスタンプ検出回路21により生成された品質クラスiの読出タイミングをT1_iとすると、受信バッファ読出制御回路17の動作は、図7に示すように、品質クラス1～nのセルがそれぞれ蓄積される受信バッファ回路2₁～2_nを受信バッファ回路2₁から2_nの順にセルを読出す。すなわち、品質クラス1(i=1)からセルの出力を開始する(S21)。読出タイミングT1₁により受信バッファ回路2₁から読み出すことが予定されている品質クラス1のセルの読出予定時刻が次の出力タイミングT0の予定時刻と一致または遅れている場合には

(S22)、そのセルを受信バッファ回路2₁から読み出す(S23)。読出タイミングT1₁が出力タイミングT0より先ならば(S22)、受信バッファ回路2₂(i=2)からの読み出しを開始する(S24→S25→S22→S23)。受信バッファ回路2_nまでにひとつのセルも読み出さなければ空きセルを挿入する(S26)。

【0052】図8は、本発明第三実施例の入力セルと出力セルの関係を示す図である。図8では、入力セルおよび無線回線の条件は図4と同一とし、送信部TXの時計22は時間T毎に基準時間を受信部RXに送信し、送信部TXおよび受信部RXの時計は基準時間毎にリセットされる例である。また、品質クラス2のセルはセル順序の逆転が発生しないように、入力時刻から固定遅延T後に出力される。これからわかるように、本発明によればタイムスタンプにより送信部TXに入力したセルの到着間隔を受信部RXで再生することが可能となり、特に品質クラス1のセルの伝送遅延および遅延ゆらぎを少なく

し、品質クラス2のセルの遅延ゆらぎをも少なくできる。また、受信部RXは送信部TXと同じ時計を用いるため、送信部TXと受信部RXの時計がずれることによるセル順序の逆転を回避できる。

【0053】本発明第三実施例において、送信部TXにのみテーブル31を備え、送信セル分離回路11は、このテーブル31を参照して到来セルの振り分けを行い、振り分けられたセルに品質クラスを表示する識別子を加し、受信セル分離回路12は受信セルの前記識別子にしたがって到来セルの振り分けを行うことにより、受信部RXのテーブル32を省略することができる。

【0054】(第四実施例) 本発明第四実施例を図9および図10を参照して説明する。図9は本発明第四実施例装置のブロック構成図である。図10は本発明第四実施例の受信バッファ読出制御回路17の動作を示すフローチャートである。本発明第四実施例は、送信部TX1～TX_mに、タイムスタンプ付加回路20および時刻情報生成回路23を備え、受信部RXに、送信部TX1～TX_mに対応する受信バッファ回路2_{1(TX1)}～2_{n(TX1)}、2_{1(TX2)}～2_{n(TX2)}、…、2_{1(TXm)}～2_{n(TXm)}と、タイムスタンプ検出回路21および時計22を備えたことを特徴とする。

【0055】送信部TX1～TX_mに到着したセルは、本発明第三実施例で説明した同様の手順にしたがって受信部RXに送信される。また、各送信部TX1～TX_mの時刻情報生成回路23は、受信部RXから受信される基準時間を基に時刻情報を生成する。

【0056】受信部RXの受信セル分離回路12は、送信部TX1～TX_mから受信されるセルを品質クラスおよび送信部毎に振り分けて品質クラス1～nおよび送信部TX1～TX_mに応じた受信バッファ回路2_{1(TX1)}～2_{n(TX1)}、2_{1(TX2)}～2_{n(TX2)}、…、2_{1(TXm)}～2_{n(TXm)}にセルを入力する。

【0057】タイムスタンプ検出回路21は、本発明第三実施例で説明した同様の手順にしたがって各受信バッファ回路2_{1(TX1)}～2_{n(TX1)}、2_{1(TX2)}～2_{n(TX2)}、…、2_{1(TXm)}～2_{n(TXm)}に対応する読出タイミングを生成する。また、時計22は送信部TX1～TX_mに基準時間を送信する。

【0058】図10に示すように受信バッファ読出制御回路17は、品質クラス1～nおよび送信部TX1～TX_mのセルがそれぞれ蓄積される受信バッファ回路2_{1(TX1)}～2_{n(TX1)}、2_{1(TX2)}～2_{n(TX2)}、…、2_{1(TXm)}～2_{n(TXm)}を、送信部TX1～TX_mには関係なく品質クラス1に対応する受信バッファ回路2_{1(TX1)}～2_{n(TX1)}から品質クラスnに対応する受信バッファ回路2_{n(TX1)}または2_{n(TXm)}の順にセルを読み出す。すなわち、送信部TX_jをTX_{j+1}(j=1, m-1)より優先する場合には、品質クラス1およびTX1に対応する受信バッファ回路2_{1(TX1)}(i=1, j=1)からセ

ルの読み出しを行う (S31)。

【0059】 $T_{11(TX1)} \leq T_0$

ならば (S32)、そのセルを受信バッファ回路 $2_{1(TX1)}$ から読み出す (S33)。

【0060】 $T_{11(TX1)} > T_0$

ならば (S32)、品質クラス1およびTX2に対応する受信バッファ回路 $2_{1(TX2)}$ ($i=1, j=2$) の読出タイミング $T_{11(TX2)}$ と出力タイミング T_0 の比較を行い、

$T_{11(TX2)} \leq T_0$

ならばそのセルを受信バッファ回路 $1_{1(TX2)}$ から読み出す (S34→S35→S32→S33)。

【0061】 $T_{11(TXm)} > T_0$ ($i=1, j=m$)

ならば (S32)、受信バッファ回路 $2_{2(TX1)}$ の読出タイミング $T_{12(TX1)}$ ($i=2, j=1$) と出力タイミング T_0 の比較を行い (S34→S35→S36→S37→S31→S32)、受信バッファ回路 $2_{n(TXm)}$ までにひとつのセルも読み出されなければ空きセルを挿入する (S38)。

【0062】 図11は、本発明第四実施例の入力セルと出力セルの関係を示す図である。図11では送信部は2つであり、送信部TX1およびTX2にはそれぞれ品質クラス1のセルが入力する例を示している。図11に示すように、送信部TX1およびTX2は受信部RXの時計22と同一の時刻情報を計時する時計である時刻情報生成回路23を用いるため、受信部RXはひとつの時計22を管理するだけで送信部TX1およびTX2からのセルを多重できる。また、タイムスタンプにより遅延ゆらぎを少なくできる。

【0063】 本発明第四実施例装置において、送信部TX1～TXmにのみテーブル31を備え、送信セル分離回路11は、このテーブル31を参照して到来セルの振り分けを行い、振り分けられたセルに品質クラスを表示する識別子を付加し、受信セル分離回路12は受信セルの前記識別子にしたがって到来セルの振り分けを行うことにより、受信部RXのテーブル32を省略することができる。

【0064】

【発明の効果】 以上説明したように、本発明によれば、簡易で規模の小さいハードウェアにより遅延ゆらぎに対する要求品質特性を満たすことができる。これにより、無線周波数のスペクトラムの有効利用を図ることができる。さらに、割当られた帯域またはタイムスロットの有効利用を図ることができる。

【図面の簡単な説明】

【図1】 本発明第一実施例装置のブロック構成図。

【図2】 本発明第一実施例の送信バッファ読出制御回路の動作を示すフローチャート。

【図3】 本発明第一実施例の受信バッファ読出制御回路の動作を示すフローチャート。

【図4】 本発明第一実施例の入力セルと出力セルの関係を示す図。

【図5】 本発明第二実施例装置のブロック構成図。

【図6】 本発明第三実施例装置のブロック構成図。

10 【図7】 本発明第三実施例の受信バッファ読出制御回路の動作を示すフローチャート。

【図8】 本発明第三実施例の入力セルと出力セルの関係を示す図。

【図9】 本発明第四実施例装置のブロック構成図。

【図10】 本発明第四実施例の受信バッファ読出制御回路の動作を示すフローチャート。

【図11】 本発明第四実施例の入力セルと出力セルの関係を示す図。

20 【図12】 帯域またはタイムスロットの割当を説明するための図。

【図13】 従来例の入力セルと出力セルの関係を示す図。

【図14】 従来例装置のブロック構成図。

【符号の説明】

11～1n、92 送信バッファ回路

21～2n、21(TX1)～2n(TX1)、21(TX2)～

2n(TX2)、…、21(TXm)～2n(TXm) 受信バッファ回路

11 送信セル分離回路

12 受信セル分離回路

30 13 送信バッファ読出制御回路

14、93 送信回路

15、94 受信回路

17 受信バッファ読出制御回路

18 出力タイミング生成回路

20 タイムスタンプ付加回路

21 タイムスタンプ検出回路

22 時計

23 時刻情報生成回路

31、32 テーブル

40 91 セル抽出回路

95 セル分離回路

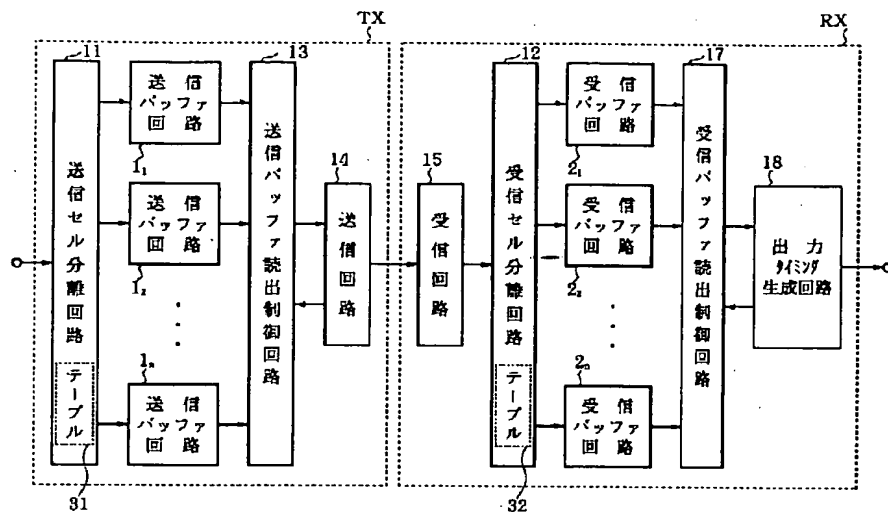
96、～96n FIFOメモリ

97 FIFO読出制御回路

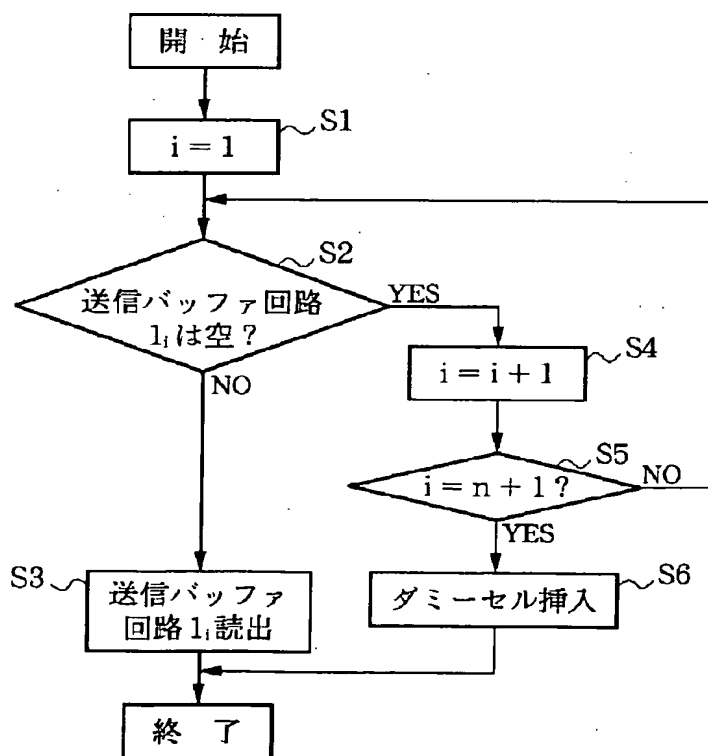
RX 受信部

TX、TX1～TXm 送信部

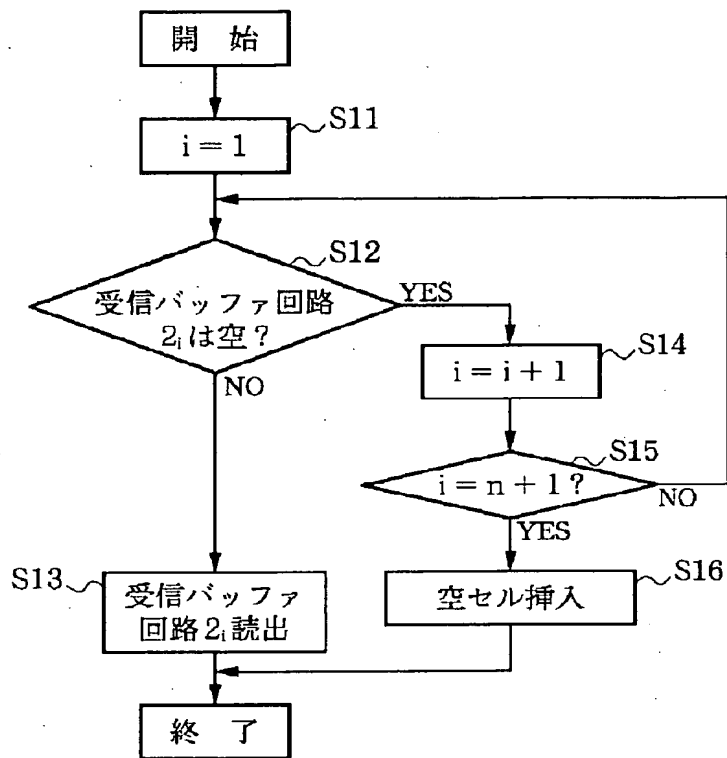
【図1】



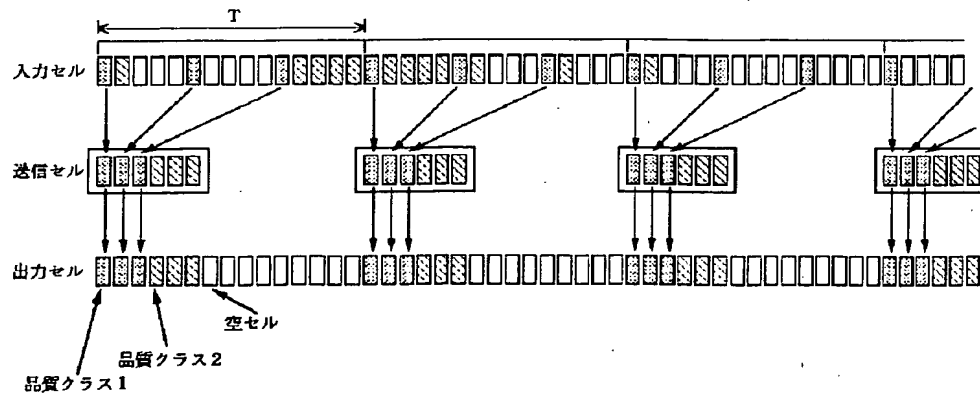
【図2】



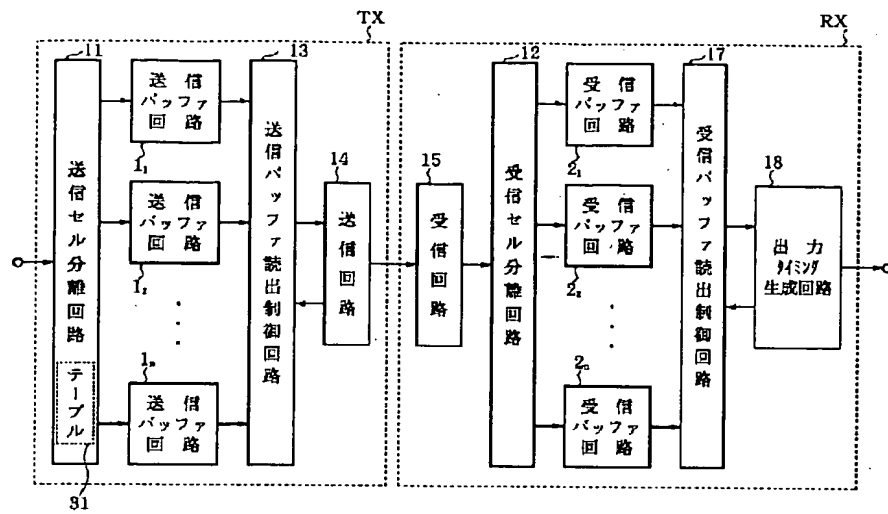
【図3】



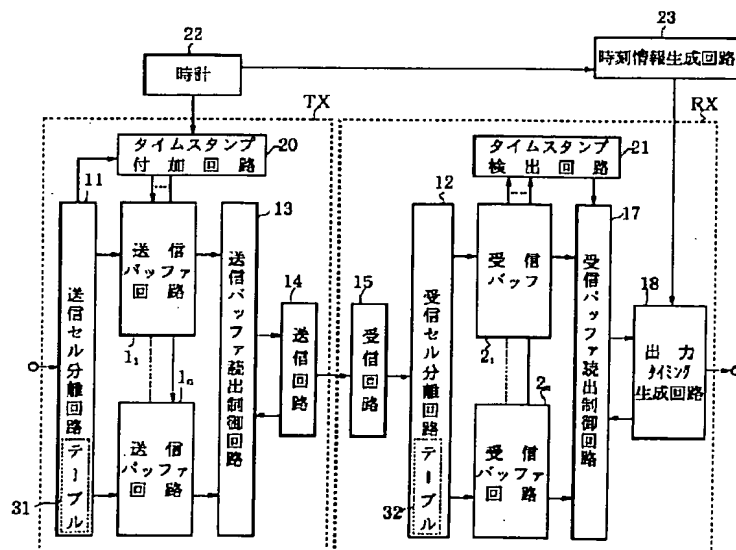
【図4】



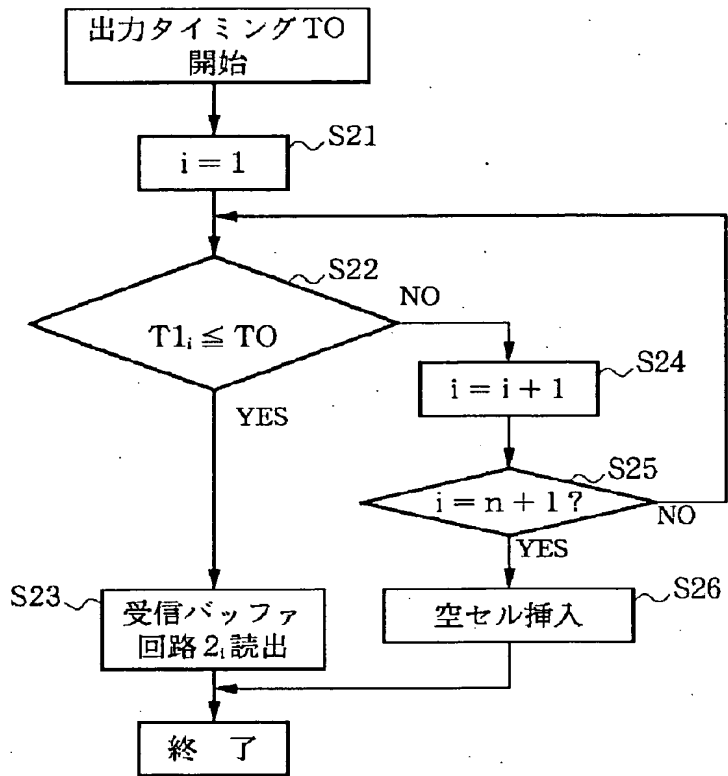
【図5】



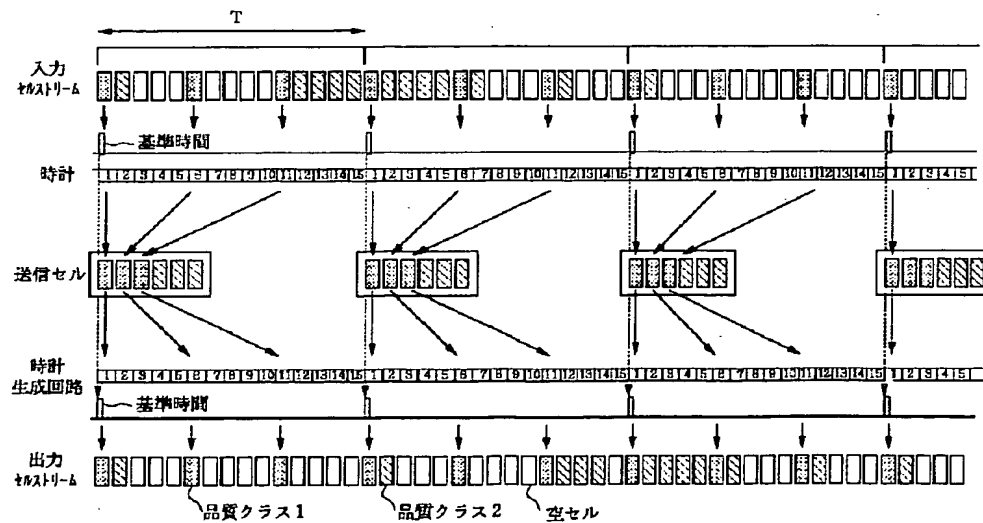
【図6】



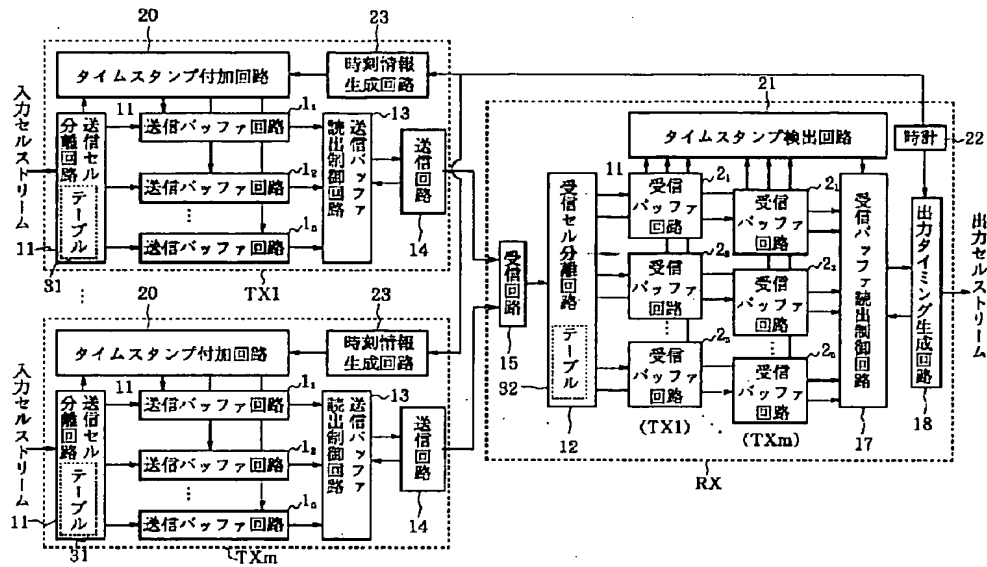
【図7】



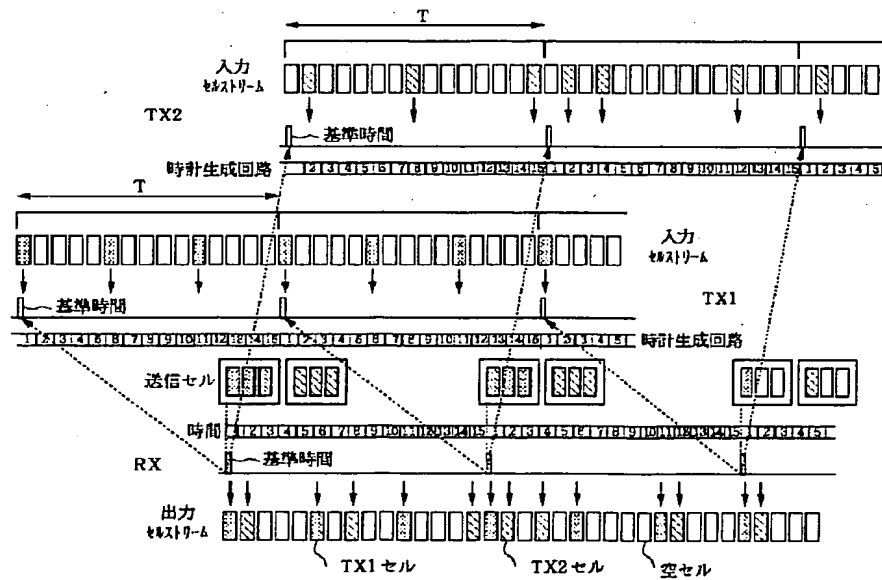
【図8】



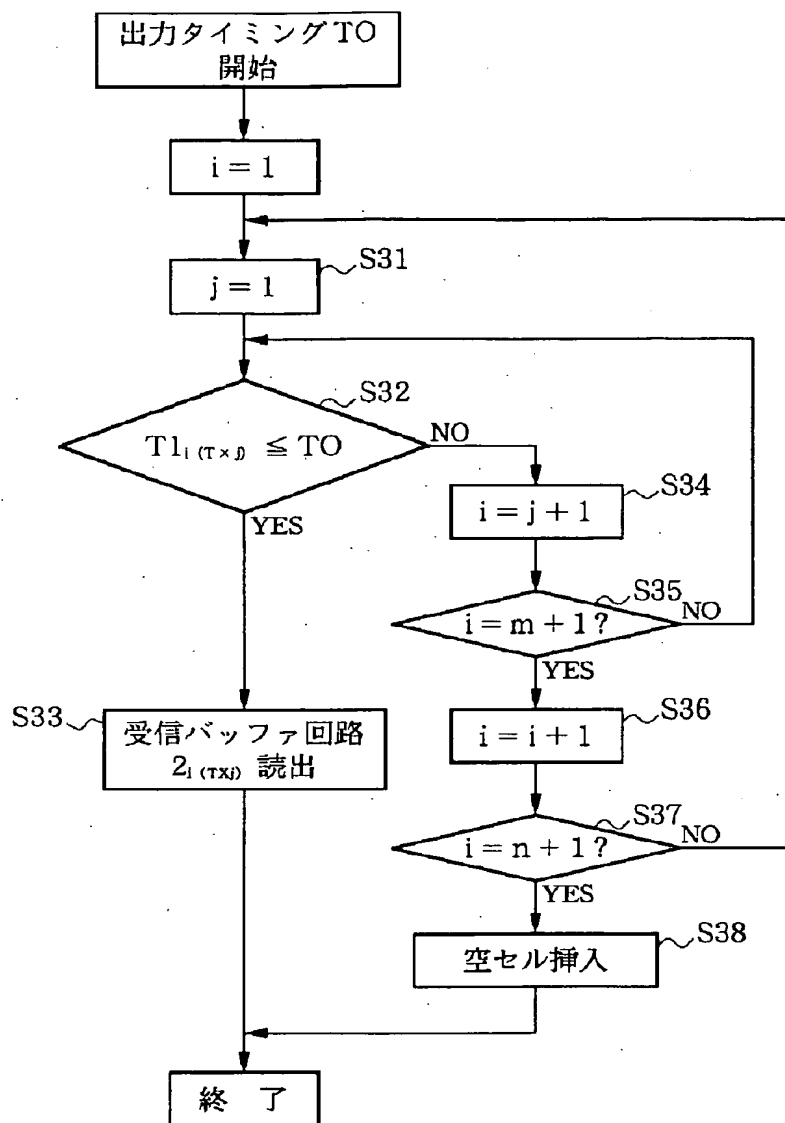
【図9】



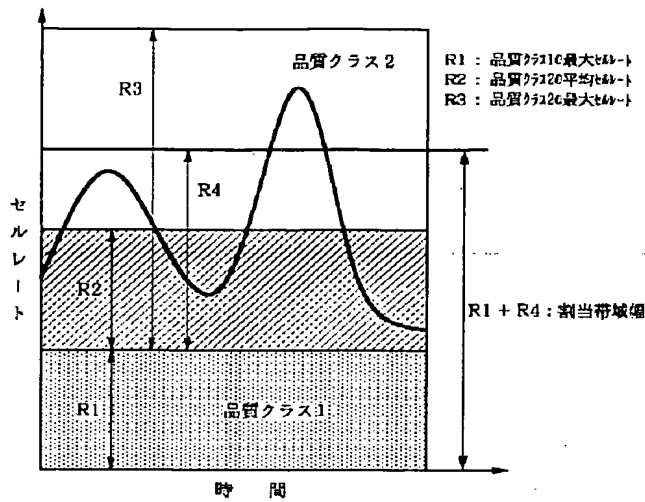
【図11】



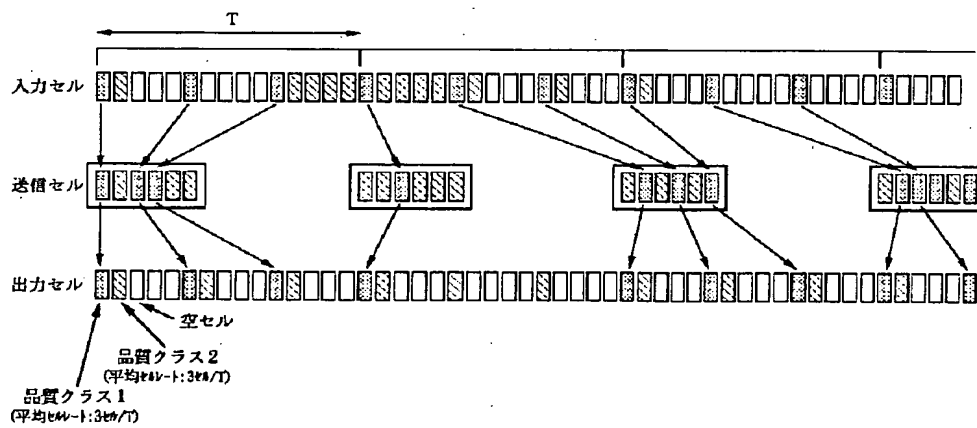
【図10】



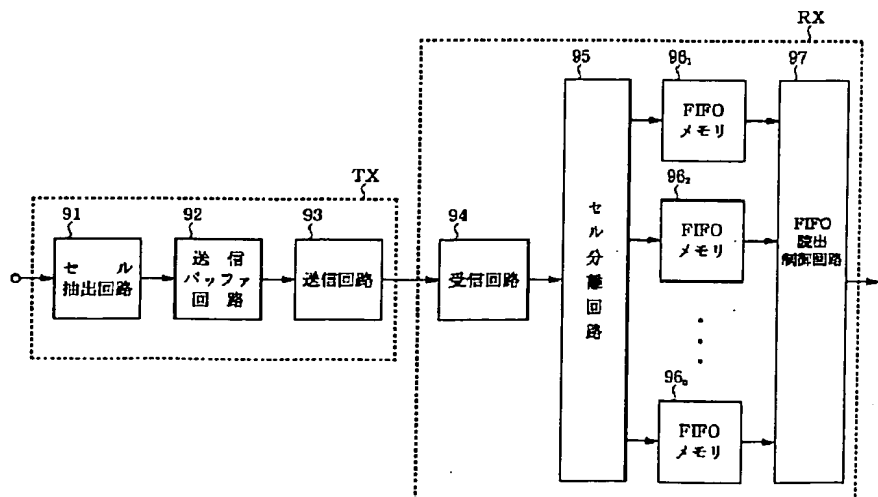
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 太田 厚
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72)発明者 佐川 雄一
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内